PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-118909
(43)Date of publication of application : 28.04.1994

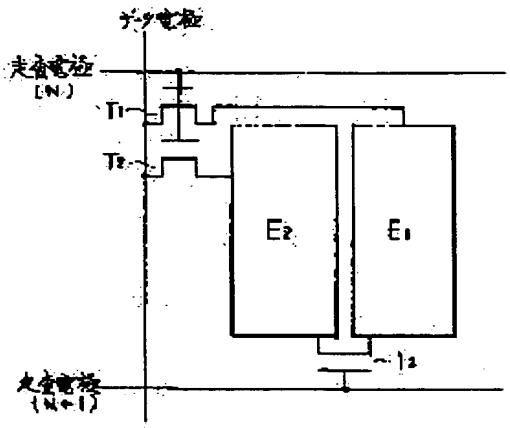
(51)Int.Cl. G09G 3/36
G02F 1/136

(21)Application number : 04-268331
(22)Date of filing : 07.10.1992

(71)Applicant : FUJITSU LTD
(72)Inventor : TAKAHARA KAZUHIRO
OURA MICHIYA
MORITA KEIZO
YOSHIOKA HIROSHI

(54) ACTIVE MATRIX TYPE DISPLAY DEVICE AND METHOD FOR DETECTING FAULTY TRANSISTOR

(57)Abstract:
PURPOSE: To make a normal display on the pixel of the display electrode even if one TR is defective by connecting the source and drain of a 3rd driving transistor(TR), whose drain is connected to a following scanning electrode, to each display electrode.
CONSTITUTION: Two display electrodes E1 and E2 of each pixel are connected to a data electrode through mutually independent driving TRs T1 and T2 and the source and drain of the 3rd driving TR T3 whose gate is connected to the following scanning electrode are connected to the display electrodes E1 and E2. Consequently, even if one of the driving TRs T1 and T2 is defective, the voltage of the display electrode E2 connected to the sound TR, e.g. T2 is applied to the display electrode E1 through the 3rd driving TR T3 by turning on the 3rd TR T3 even after the defective TR, e.g. T1 is disconnected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平6－118909

(43)公開日　平成６年(1994)４月28日

(51)Int.Cl.[5]		識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０９Ｇ	3/36		7319－5Ｇ		
Ｇ０２Ｆ	1/136	５００	9018－2Ｋ		

審査請求　未請求　請求項の数４(全　６　頁)

(21)出願番号　特願平4－268331

(22)出願日　平成４年(1992)10月７日

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地

(72)発明者　高原　和博
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者　大浦　道也
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者　森田　敬三
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人　弁理士　森川　泰一

最終頁に続く

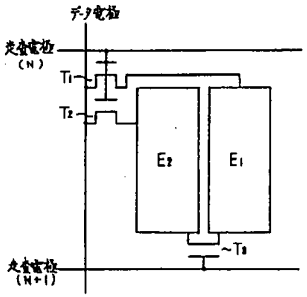
(54)【発明の名称】　アクティブマトリックス型表示装置及び故障している駆動トランジスタの検出方法

(57)【要約】

【目的】　アクティブマトリックス型表示装置を構成する各画素の駆動トランジスタが故障した場合にも表示欠陥がない高画質の表示が実現できるアクティブマトリックス型表示装置と故障した駆動トランジスタを容易に検出することができる検出方法とを提供することを目的とする。

【構成】　各画素は２個の電極を有し、各表示電極には相互に独立した駆動トランジスタのドレインが接続され、各駆動トランジスタのソースはデータ電極に接続され、ゲートは走査電極に接続され、上記の表示電極には次の走査電極にゲートが接続されている第３の駆動トランジスタのソース・ドレインが接続されている。

本発明の第１実施例に係るアクティブマトリックス型表示装置の回路構成の要部説明図



1

【特許請求の範囲】

【請求項１】　各画素は２個の表示電極（Ｅ1・Ｅ2）を有し、各表示電極（Ｅ1・Ｅ2）には相互に独立した駆動トランジスタ（Ｔ1・Ｔ2）のドレインが接続され、各駆動トランジスタ（Ｔ1・Ｔ2）のソースはデータ電極に接続され、各駆動トランジスタ（Ｔ1・Ｔ2）のゲートは走査電極に接続され、前記表示電極（Ｅ1・Ｅ2）には次の走査電極にゲートが接続されてなる第３の駆動トランジスタ（Ｔ3）のソース・ドレインが接続されてなることを特徴とするアクティブマトリックス型表示装置。

【請求項２】　前記走査電極に印加する電圧と次の走査電極に印加する電圧とを重複して印加する電圧印加手段を有することを特徴とする請求項１記載のアクティブマトリックス型表示装置。

【請求項３】　前記請求項１記載のアクティブマトリックス型表示装置を構成する各画素の駆動トランジスタの故障を検出する故障している駆動トランジスタの検出方法において、

偶数（奇数）番ラインの走査電極に接続されたすべての駆動トランジスタをオフ状態とし、予め選択された奇数（偶数）番ラインの走査電極に接続された駆動トランジスタをオンして、前記予め選択された奇数（偶数）番ラインに対応する各画素の表示欠陥の有無を検査して、該画素に対応するトランジスタの故障を検出することを特徴とする故障している駆動トランジスタの検出方法。

【請求項４】　前記請求項１記載のアクティブマトリックス型表示装置を構成する各画素の駆動トランジスタの故障を検出する故障している駆動トランジスタの検出方法において、

偶数（奇数）番ラインの走査電極に接続されたすべての駆動トランジスタをオフ状態とし、奇数（偶数）番ラインの走査電極に接続された駆動トランジスタを順次オンして、前記奇数（偶数）番ラインに対応する各画素の表示欠陥の有無を検査して、該画素に対応するトランジスタの故障を検出することを特徴とする故障している駆動トランジスタの検出方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、アクティブマトリックス型表示装置及び故障した駆動トランジスタの検出方法の改良に関する。特に、アクティブマトリックス型表示装置を構成する各画素の駆動トランジスタが故障した場合にも表示欠陥がない高画質の表示が実現できるアクティブマトリックス型表示装置と故障した駆動トランジスタを容易に検出することができる検出方法とを提供することを目的とする改良に関する。

【０００２】

【従来の技術】近年、画質の優れたアクティブマトリックス型カラー液晶表示装置が製品化され、今後、ますます高精細のカラー液晶表示装置が要望される情勢にある。

【０００３】ところで、カラー表示の高精細のアクティブマトリックス型表示装置では、画素数が１２８０×３（Ｒ・Ｇ・Ｂ）×１０２４であり、これら画素のそれぞれを駆動する約４００万個の駆動トランジスタを無欠陥で作ることはほとんど不可能に近い。そこで、アクティブマトリックス回路においては各種の冗長方式が提案されている。

【０００４】以下、従来技術に係るアクティブマトリックス型表示装置について説明する。

【０００５】図４は従来技術に係るアクティブマトリックス型表示装置の第１例の回路構成の要部説明図である。

【０００６】図４参照

図において、Ｅ10は各画素の表示電極である。この表示電極Ｅ10には並列接続された２個の駆動トランジスタＴ10・Ｔ11のドレインが接続されている。この駆動トランジスタＴ10・Ｔ11のソースはデータ電極に接続され、ゲートは走査電極に接続されている。上記の２個の駆動トランジスタの１個は予備の目的を有する。

【０００７】また、図５は従来技術に係るアクティブマトリックス型表示装置の第２例の回路構成の要部説明図である。

【０００８】図５参照

本例は１画素を２個のサブ画素に分割する方式である。図において、Ｅ20・Ｅ30は分割されたサブ画素の表示電極である。それぞれのサブ画素の表示電極には駆動トランジスタＴ20またはＴ30のドレインが接続され、これら駆動トランジスタＴ20・Ｔ30のソースはデータ電極に接続され、ゲートは走査電極に接続されている。

【０００９】

【発明が解決しようとする課題】上記の従来技術に係るアクティブマトリックス型表示装置の第１例においては、並列接続された駆動トランジスタの一方がショート欠陥を生じている場合には画素の表示欠陥が発生し、しかも、いずれのトランジスタが欠陥か判別できないので、欠陥トランジスタを切り離して表示欠陥を排除することができないと言う欠点がある。また、従来技術に係るアクティブマトリックス型表示装置の第２例においては、２個のサブ画素のそれぞれに接続されている駆動トランジスタの一方が欠陥の場合、その欠陥トランジスタに対応するサブ画素は表示不良となるから表示装置における完全な表示が実現できないと言う欠点を有している。

【００１０】本発明の目的は、この欠点を解消することにあり、アクティブマトリックス型表示装置を構成する各画素の駆動トランジスタが故障した場合にも表示欠陥がない高画質の表示が実現できるアクティブマトリックス型表示装置と、故障した駆動トランジスタを容易に検

3

出することができる検出方法とを提供することにある。

【0011】

【課題を解決するための手段】上記の目的は、下記のアクティブマトリックス型表示装置と下記の故障していいる駆動トランジスタの検出方法とによって達成される。

【0012】アクティブマトリックス型表示装置は、各画素が2個の表示電極（E1・E2）を有し、各表示電極（E1・E2）には相互に独立した駆動トランジスタ（T1・T2）のドレインが接続され、各駆動トランジスタ（T1・T2）のソースはデータ電極に接続され、各駆動トランジスタ（T1・T2）のゲートは走査電極に接続され、前記の表示電極（E1・E2）には次の走査電極にゲートが接続されている第3の駆動トランジスタ（T3）のソース・ドレインが接続されているアクティブマトリックス型表示装置である。

【0013】上記の構成において前記の走査電極に印加する電圧と次の走査電極に印加する電圧とを重複して印加する電圧印加手段を設けることができる。

【0014】また、故障している駆動トランジスタの検出方法は、前記のアクティブマトリックス型表示装置の偶数（または奇数）番ラインの走査電極に接続されたすべての駆動トランジスタをオフ状態とし、予め選択された奇数（または偶数）番ラインの走査電極に接続された駆動トランジスタをオンして、前記の予め選択された奇数（または偶数）番ラインに対応する各画素の表示欠陥の有無を検査して、これらの画素に対応するトランジスタの故障を検出するか、または、前記のアクティブマトリックス型表示装置の偶数（または奇数）番ラインの走査電極に接続されたすべての駆動トランジスタをオフ状態とし、奇数（または偶数）番ラインの走査電極に接続された駆動トランジスタを順次オンして、前記の奇数（または偶数）番ラインに対応する各画素の表示欠陥の有無を検査して、これらの画素に対応するトランジスタの故障を検出する検出方法である。

【0015】

【作用】本発明に係るアクティブマトリックス型表示装置においては、各画素の2個の表示電極E1・E2は相互に独立した駆動トランジスタT1・T2を介してデータ電極に接続されており、上記の表示電極E1・E2には次の走査電極にゲートが接続されている第3の駆動トランジスタT3のソース・ドレインが接続されているので、上記の駆動トランジスタT1・T2のいずれかが欠陥トランジスタの場合、この欠陥トランジスタ例えばT1を切り離しても、上記の第3の駆動トランジスタT3をオンすることによって、健全トランジスタ例えばT2に接続されている表示電極E2の電圧が第3の駆動トランジスタT3を介して表示電極E1に印加されるので、表示電極E1・E2の画素はともに正常な表示が可能である。

【0016】また、上記の第3の駆動トランジスタT3

4

が欠陥トランジスタの場合、それがオープン欠陥ならば表示電極E1・E2に接続されている駆動トランジスタT1・T2は相互に独立して動作するのみで画素は正常な表示をし、また、駆動トランジスタT3がショート欠陥ならば欠陥トランジスタT3を切り離せば画素は正常な表示をする。

【0017】また、本発明に係る故障している駆動トランジスタの検出方法においては、偶数（または奇数）番目のラインの走査電極に接続されたすべての駆動トランジスタをオフ状態とし、奇数（または偶数）番目のラインの走査電極に接続された駆動トランジスタをオンすることゝされているので、奇数（または偶数）番目のラインに対応する各画素を構成する2個のサブ画素は駆動トランジスタT1・T2によって独立に駆動される。したがって、例えば駆動トランジスタT1が欠陥である場合、このトランジスタT1に接続された表示電極E1のサブ画素は表示不良になるから欠陥トランジスタを容易に検出することができる。

【0018】また、上記の第3の駆動トランジスタT3がショート欠陥の場合は、表示電極E1とE2とには非正常な電圧が印加されるので、表示電極E1の画素と表示電極E2の画素はいずれも表示不良となるので、第3の駆動トランジスタT3の故障を判別することができる。

【0019】

【実施例】以下、図面を参照しつゝ、本発明の一実施例に係るアクティブマトリックス型表示装置と故障した駆動トランジスタの検出方法について説明する。

【0020】図1は本発明の一実施例に係るアクティブマトリックス型表示装置の回路構成の要部説明図である。

【0021】図1参照

図において、E1・E2は1画素を構成する2個のサブ画素のそれぞれの表示電極である。T1はこの表示電極E1にドレインが接続され、ソースはデータ電極に接続され、ゲートは走査電極に接続されている駆動トランジスタ（例えばＴＦＴ）であり、T2は表示電極E2にドレインが接続され、ソースは上記のデータ電極に接続され、ゲートは上記の走査電極に接続されている駆動トランジスタ（例えばＴＦＴ）である。T3はゲートが次の走査電極に接続され、ソース・ドレインが上記の表示電極E1・E2に接続されている第3の駆動トランジスタである。

【0022】つぎに、本実施例に係るアクティブマトリックス型表示装置の動作について説明する。図2は駆動トランジスタのゲート印加電圧波形図である。図の（a）は駆動トランジスタT1・T2のゲートが接続されているN番目ラインの走査電極の電圧であり、図の（b）は駆動トランジスタT3のゲートが接続されているN＋1番目ラインの走査電極の電圧である。図に示す

5

ようにN番目ラインの走査電極の電圧とN＋1番目ラインの走査電極の電圧とは重複している。したがって、期間t1においてはトランジスタT1・T2がオン状態にあり、トランジスタT3はオフ状態にある。期間t2においては、トランジスタT1・T2・T3がオン状態にある。期間t3においてはトランジスタT1・T2がオフ状態にあり、トランジスタT3はオン状態にある。したがって、例えば駆動トランジスタT1が欠陥トランジスタであっても、駆動トランジスタT2によって表示電極E2に印加される電圧が第3の駆動トランジスタT3を介して表示電極E1にも印加されるので表示欠陥のない正常な表示が実現される。

【0023】また、第3の駆動トランジスタT3がオープン欠陥の場合は、表示電極E1・E2に接続されている駆動トランジスタT1・T2は相互に独立して動作するのみで画素は正常な表示となり、第3の駆動トランジスタT3がショート欠陥の場合は、下記の検出方法によって欠陥トランジスタを検出し、これをレーザーカッタ等でパスライン・表示電極から切り離せば画素は正常な表示をする。

【0024】つぎに、本発明に係る故障している駆動トランジスタの検出方法について説明する。まず、偶数（または奇数）番目のラインの走査電極に非選択電圧を印加し、これら走査電極に接続されたすべての駆動トランジスタをオフ状態にする。次に、奇数（または偶数）番目のラインについて、予め選択されたラインの走査電極に同時に選択電圧を印加するか、または奇数（または偶数）番目のラインの走査電極に順次に選択電圧を印加するかして、選択電圧を印加されたラインの走査電極に接続された駆動トランジスタをオンする。例えば、駆動トランジスタT1が欠陥で駆動トランジスタT2が正常な場合には、表示電極E2の画素はデータ電圧に対応した正常な表示となるが、表示電極E1の画素は表示不良となり、表示電極E2の画素の表示と異なった表示となるので、故障した駆動トランジスタを容易に検出することができる。また、第3の駆動トランジスタT3がショート欠陥の場合には、表示電極E1とE2とに非正常な電圧が印加されるので、表示電極E1の画素と表示電極E2の画素はいずれも表示不良となるので、第3の駆動トランジスタT3の故障を判別することができる。

【0025】図3は、偶数番目のラインの走査電極のすべてに非選択電圧を印加してこれら走査電極に接続されたすべての駆動トランジスタをオフ状態にし、奇数番目のラインの走査電極に順次、選択電圧を印加する場合の走査電圧波形を示す図である。

【0026】

【発明の効果】以上説明したように、本発明に係るアクティブマトリックス型表示装置においては、各画素は2個の表示電極を有し、各表示電極には相互に独立した駆動トランジスタのドレインが接続され、これら駆動トラ

6

ンジスタのソースはデータ電極に接続され、ゲートは走査電極に接続されており、上記の2個の表示電極にはゲートが次の走査電極に接続された第3の駆動トランジスタのソース・ドレインが接続されており、例えば走査電極に印加する電圧と次の走査電極に印加する電圧とを重複して印加する電圧印加手段を有しているので、各表示電極に接続された駆動トランジスタに一方が欠陥トランジスタであっても、第3の駆動トランジスタをオンすることによって、他方の健全なトランジスタに接続されている表示電極の電圧が上記の第3の駆動トランジスタを介して一方の欠陥トランジスタに接続されている表示電極に印加されるので、それぞれの表示電極の画素はともに正常な表示が可能である。

【0027】また、本発明に係る故障している駆動トランジスタの検出方法においては、偶数（または奇数）番ラインの走査電極に接続されている駆動トランジスタをすべてオフ状態とし、奇数（または偶数）番ラインの予め選択されたラインの走査電極に接続されている駆動トランジスタを同時にオンするか、奇数（または偶数）番ラインの走査電極に接続されている駆動トランジスタを順次オンすることゝされているので、奇数（または偶数）番ラインに対応する各画素を構成する2個のサブ画素はそれぞれの駆動トランジスタによって独立に駆動される。したがって、いずれか一方の駆動トランジスタが欠陥である場合、この駆動トランジスタに接続された表示電極のサブ画素は表示不良となり、欠陥トランジスタを容易に検出することができる。

【0028】したがって、本発明は、アクティブマトリックス型表示装置を構成する各画素の駆動トランジスタが故障した場合にも表示欠陥がない高画質の表示が実現できるアクティブマトリックス型表示装置と故障した駆動トランジスタを容易に検出できる検出方法とを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るアクティブマトリックス型表示装置の回路構成の要部説明図である。

【図2】駆動トランジスタのゲート印加電圧波形図である。

【図3】故障している駆動トランジスタを検出する場合の走査電極印加電圧波形図である。

【図4】従来技術に係るアクティブマトリックス型表示装置の第1例の回路構成図である。

【図5】従来技術に係るアクティブマトリックス型表示装置の第2例の回路構成図である。

【符号の説明】

E1・E2　表示電極（本発明）

T1・T2　駆動トランジスタ（本発明）

T3　第3の駆動トランジスタ

E10・E20・E30　表示電極（従来技術）

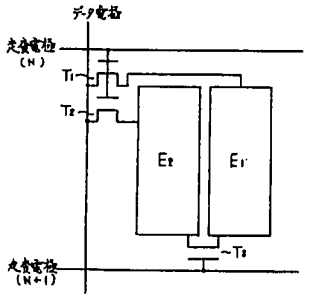
T10・T11・T20・T30　駆動トランジスタ（従来技

7

術)

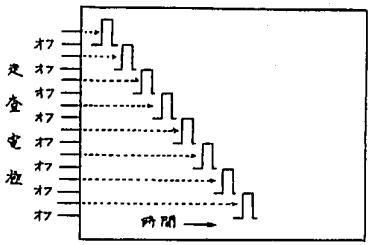
【図1】

本発明の第1実施例に係るアクティブマトリックス型表示装置の回路構成の要部説明図



【図3】

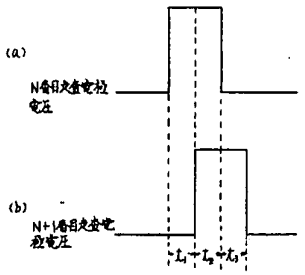
故障している駆動トランジスタを検出する場合の走査電極印加電圧波形図



8

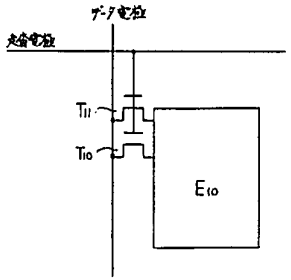
【図2】

駆動トランジスタの印加電圧波形図



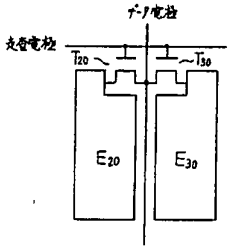
【図4】

従来技術に係るアクティブマトリックス型表示装置の第1例の回路構成の要部説明図



【図5】

従来技術に係るアクティブマトリックス型表示装置の第2例の回路構成の要部説明図



フロントページの続き

(72)発明者　吉岡　浩史
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内